

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-291294

⑬ Int. Cl.<sup>4</sup>

G 11 C 17/00

識別記号

3 0 9

庁内整理番号

B-7341-5B

⑭ 公開 昭和63年(1988)11月29日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 読出し回路

⑯ 特 願 昭62-126612

⑰ 出 願 昭62(1987)5月22日

⑱ 発 明 者 渡 辺 毅 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

読出し回路

特許請求の範囲

浮遊ゲートを有し電気的に書込み及び消去可能な絶縁ゲート電界効果型メモリトランジスタをメモリ素子とする不揮発性半導体記憶装置における読出し回路において、

前記メモリ素子および該メモリ素子に対する必要最少限の読み書き回路と同構成の擬似メモリ素子および擬似回路から成る該擬似メモリ素子の読出電圧を前記メモリ素子の読出電圧に対するリファレンス電圧として供給するリファレンス電圧発生部と、

外部から基準電圧を設定するリファレンス電圧設定部と、

前記リファレンス電圧と前記基準電圧とを比較する比較部

とを同一集積回路内に設け、前記リファレンス電圧を設定するときには、前記比較において一致するまで前記擬似メモリ素子への書込みを行うように前記擬似回路を動作させるようにしたことの特徴とする読み出し回路。

発明の詳細な説明

(産業上の利用分野)

本発明は読出回路、特に、浮遊ゲートを有し電気的に書込み及び消去可能な不揮発性半導体記憶装置における読出し回路に関する。

(従来の技術)

従来、浮遊ゲートを有し電気的に書込み及び消去可能な不揮発性半導体記憶素子である絶縁ゲート電界効果型メモリトランジスタ(以下メモリトランジスタと記す)を読出す回路は、マスクROM、EPROMなどの他のメモリと同様に、基準電圧発生回路によって作り出された基準電圧又は基準電流と比較して“1”又は“0”の情報を読出すようにしている。

(発明が解決しようとする問題点)

上述した従来の読出し回路は、製造時におけるメモリトランジスタのバラツキや使用時における変動に対する回路的補償がなく、読出し不良が発生する等量産性に対して安定でないという欠点がある。このような欠点は、今後、LSIが更に、大容量化、微細化するのにもとめない大問題化しよう。

このため、基準電圧発生回路に擬似メモリトランジスタを用いる手法が考えられていたが、製造時における浮遊ゲートの電位(初期値)は、プラズマエッチング等製造工程で印加される電界の程度によって大きく変化し不安定であるため、基準電圧を発生する回路に用いる事は適していないということから見捨てられていた。

本発明の目的は、バラツキや変動に対する回路的補償手段を有しかつ安定した読出し回路を提供する事にある。

(問題点を解決するための手段)

本発明の回路は、浮遊ゲートを有し電氣的に書

込み及び消去可能な絶縁ゲート電界効果型メモリトランジスタをメモリ素子とする不揮発性半導体記憶装置における読出し回路において、

メモリ素子およびメモリ素子に対する必要最少限の読み書き回路と同構成の擬似メモリ素子および擬似回路から成り擬似メモリ素子の読出電圧をメモリ素子の読出電圧に対するリファレンス電圧として供給するリファレンス電圧発生部と、

外部から基準電圧を設定するリファレンス電圧設定部と、

リファレンス電圧と基準電圧とを比較する比較部

とを同一集積回路内に設け、リファレンス電圧を設定するときには、上記比較において一致するまで擬似メモリ素子への書込みを行うように擬似回路を動作させるようにしている。

(実施例)

次に本発明について図面を参照して説明する。

第1図は本発明の一実施例を示すブロック図であり、メモリ部1、リファレンス電圧発生部2、

リファレンス電圧設定部3、2つの比較器4および5並びにゲート(否定論理和回路)6が一つの半導体集積回路内に収容されている。

メモリ部1は、メモリ素子群、アドレス選択回路、読出し回路、書込み回路等メモリ動作を行う回路群からなり、読出動作時には読出電圧 $V_A$ を発生する。比較器4は、この読出電圧 $V_A$ とリファレンス電圧発生部2が読出動作時に発生するリファレンス電圧 $V_R$ とを比較し、その結果に応じて出力電圧 $V_O$ を出力する。

リファレンス電圧設定部3は、本半導体集積回路を製造した後において、リファレンス電圧 $V_R$ を設定するときのみ機能し、外部から与えられる制御電圧 $V_O$ の値にตอบสนองした設定電圧 $V_{ION}$ を発生する。設定電圧 $V_{ION}$ は、比較器5によってリファレンス電圧 $V_R$ と比較され、この結果はゲート6を介してリファレンス電圧発生部2にフィードバックされる。フィードバックの効果は、リファレンス電圧 $V_R$ の値を設定電圧 $V_{ION}$ と同値に設定することである。リファレンス電圧 $V_R$

は、いったん設定されると、制御電圧 $V_O$ の除去によっても、その値を保持し、前述のように、メモリ部1からの読出電圧 $V_A$ との比較に供せられる。

メモリ部1は、第2(A)図に示すように、浮遊ゲートを有し電氣的に書込み及び消去可能な絶縁ゲート電界効果トランジスタ(以下トランジスタと記す)であるメモリ素子M1と、トランジスタM2およびM3より成るメモリ駆動回路部と、トランジスタM4、M5と、2入力ノア(NOR)回路N1よりなり読出電圧 $V_A$ を得るセンスアンプ回路部と、書込み信号 $V_{WR}$ をゲートとし書込み電圧 $V_{PP}$ をドレインとするトランジスタM6によって成る書込み回路部とによって構成される。第1図は、図面の煩雑化を回避するために、1メモリ素子についてのみ図示しているが、実際には多数のメモリ素子群およびその内から指定されたメモリ素子を選択するためのアドレス選択回路を有する。

リファレンス電圧発生部2は、第2(B)図に

示すように、1メモリ素子に対するメモリ部1と同構成であり、図において「D」を付した各トランジスタは、第2(A)図の「D」を付されたトランジスタの擬似トランジスタであることを表わす。リファレンス電圧発生部2は、多数のメモリ素子に共用される。

次に第2(A)図と第2(B)図の動作を説明するが、両者は基本的には同様であるので、第2(A)図についてのみ説明する。書き込み動作時には、駆動信号Xと書き込み信号 $V_{wr}$ は+25ボルトとし、消去動作時には前者のみ+25ボルトとし、また、ライトイネーブル信号 $W/E$ は両場合ともに“H”レベルとする。

“0”を書込む場合には、書き込み電圧 $V_{co}$ を+25ボルトとしてトランジスタM3を介してトランジスタM1の浮遊ゲート上に形成したコントロールゲートに+25ボルトを印加し、また、書き込み電圧 $V_{pp}$ を0ボルトとしてトランジスタM6を介してトランジスタM1のドレインを0ボルトにする。この結果コントロールゲートとドレインと

の間に高電界が生じドレイン上に形成した薄い(100オングストローム)酸化膜を通して浮遊ゲートにF-Nトンネル電流によってドレインから電子が注入される。このように浮遊ゲートに電子が注入され、消去動作が終了しても浮遊ゲートは電子が蓄積された状態を保持する。浮遊ゲートの電位が負になることにより、コントロールゲートから見たスレッショールド電圧は+6ボルトと高くなる。

次に“1”書き込みは次の様にして行う。書き込み電圧 $V_{co}$ を0ボルトとしてトランジスタM3を介してトランジスタM1のコントロールゲートを0ボルト、そして、書き込み電圧 $V_{pp}$ を+25ボルトとしてトランジスタM6を介してトランジスタM1のドレインに+25ボルトを印加する。この結果、浮遊ゲートからドレインに電子が放出し浮遊ゲートの電位は正になる。これにより、コントロールゲートから見たスレッショールド電圧は-3ボルトになる。

消去動作は、上述の“0”書き込みの場合と同様

であり、たとえ“1”が書込まれていても強制的に“0”書き込み状態となる。また、読出し動作はコントロールゲートの電位を0ボルトにして上述のように、“0”書き込みと“1”書き込みとで設定されたスレッショールド電圧値に応じてトランジスタM1をオフ・オンさせることにより行う。

トランジスタM1がオフの場合、トランジスタM5、M4、M2およびM1の間に電流パスが存在しないため、読出電圧 $V_A$ は電源電圧 $V_{cc}$ レベル、また、トランジスタM1がオンの場合は、読出電圧 $V_A$ は $V_{cc} - \alpha \cdot I_{on}$ になる。ここで $\alpha$ はトランジスタM4のコンダクタンス $g_m$ と、ノア回路N1のゲインによって決定する回路定数である。

リファレンス電圧発生部2はメモリ読出動作時にはメモリ部1と連動し、リファレンス電圧 $V_R$ はトランジスタM1Dのオン電流 $I_{on}$ によって決定するが、動作安定上、トランジスタM1がオフ時の読出電圧 $V_A$ とオン時の読出電圧 $V_A$ の中間電圧値に設定する事が最も望ましい。

リファレンス電圧 $V_R$ を設定するには、先ず、メモリ部1に対するのと同様にして、トランジスタM1Dを消去する。次に、リファレンス電圧設定部3を使用する。

リファレンス電圧設定部3は、第2(C)図に示すように、トランジスタMN1、MN2、MN3とノア回路NN3によって構成され、このうちトランジスタMN2、MN3とノア回路NN3は、メモリ部1およびリファレンス電圧発生部2における読出し回路と同構成になっている。

上述のトランジスタM1Dの消去後、リファレンス電圧設定部3において、制御信号 $V_o$ を+3ボルトに設定しトランジスタMN1のオン電流を20マイクロアンペアに設定し、読出動作モードにして、設定電圧 $V_{ion}$ とリファレンス電圧 $V_R$ を比較器5によって比較する。トランジスタM1Dはオフであるためリファレンス電圧 $V_R$ は電源電圧 $V_{cc}$ レベルで、 $V_R \gg V_{ion}$ となり、比較器5の出力を“L”レベルにする。

次に、書き込み電圧 $V_e$ を0ボルト、書き込み電圧

$V_{w1}$ を+25ボルト、制御信号 $V_{w3}$ を“L”レベルに設定する事により、制御信号 $V_{w2}$ は“H”レベルになるので、トランジスタM6DがオンしてトランジスタM1Dのドレインに高電圧が印加され書き込みを開始し、スレッショールド電圧が徐々に低くなりリファレンス電圧発生部2のオン電流 $I_{on}$ が大きくなっていく。

このような書き込みと読出しを繰り返し、リファレンス電圧発生部2におけるオン電流 $I_{on}$ が20マイクロアンペアを少しでも越えたと比較器5の出力は“H”レベルとなって制御信号 $V_{w2}$ は“L”レベル、従ってトランジスタM6Dはオフ、トランジスタM1Dのドレインは0ボルトになり書き込みを完了する。このようにして、トランジスタM1DはトランジスタMN1と同じオン電流 $I_{on}$ で書き込みを停止する。

なお、第1の実施例におけるトランジスタMN1のかわりに、デプレッション型トランジスタを設ければ、ゲート電圧を0ボルトにすることによって一定のオン電流 $I_{on}$ をトランジスタM1Dに

設定する事が可能になり、第2(C)図内の制御信号 $V_o$ が不要になるので、出力ピン数が減り、またテスト時間の短縮等効率を上げることができるといふ利点がある。

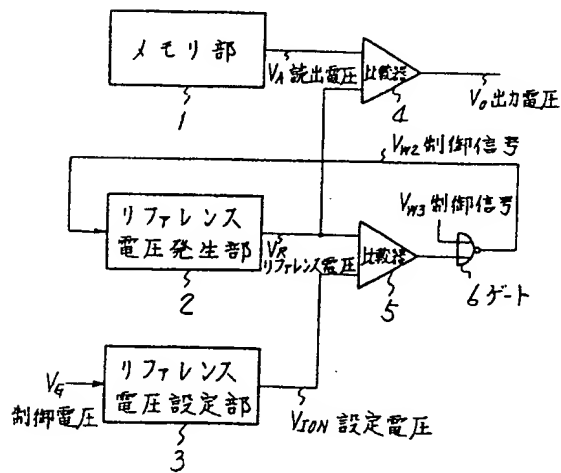
〔発明の効果〕

以上説明したように、本発明は、擬似メモリトランジスタを用いこのメモリトランジスタのオン電流を設定できる書き込み/消去回路を設けることにより、製造後に容易にオン電流、従ってリファレンス電圧を適正化でき安定な読出し動作を実現できる効果がある。

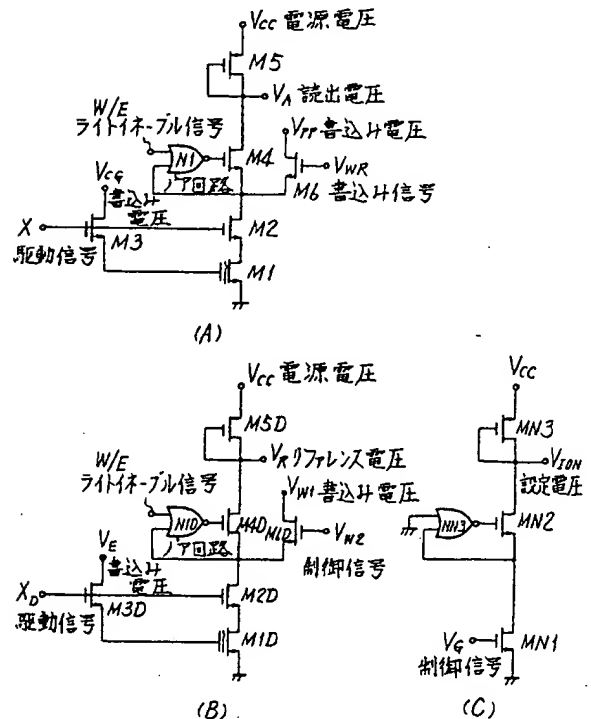
図面の簡単な説明

第1図は本発明の一実施例を示し、第2図は本実施例の要部の詳細を示す。  
1…メモリ部、2…リファレンス電圧発生部、3…リファレンス電圧設定部、4、5…比較器、6…ゲート、M1～M6、M1D～M6D、MN1～MN3…トランジスタ、N1、N1D、NN3…ノア回路。

代理人 弁理士 内原 晋



第 1 図



第 2 図

## (11) 63-291294 (A) (43) 29.11.1988 (19) IP

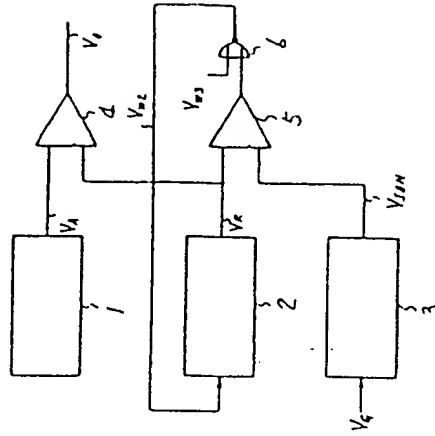
(21) Appl. No. 62-126612 (22) 22.5.1987

(71) NEC CORP (72) TAKESHI WATANABE

(51) Int. Cl.<sup>4</sup> G11C17/00

**PURPOSE:** To realize stable read out operation by providing a write/erase circuit which can set the on-state current of a dummy-memory transistor (TR) with the aid of this memory TR so as to easily make the on-state current, that means, reference voltage proper after the circuit is produced.

**CONSTRUCTION:** A reference voltage generation circuit 2 consisting of a dummy memory element and a dummy circuit which have the same composition as a memory element and the circuit of required minimum limit for the memory element and supplying the read voltage of the dummy memory element as the reference voltage for the read voltage of the memory element, a reference voltage setting part 3 setting standard voltage from outside and a comparing part 5 comparing the reference voltage and the standard voltage are provided in a same integrated circuit. Then, when the reference voltage is set, the dummy circuit is operated to write in the dummy memory element until the both voltage agree in their comparison. Thus the reference voltage can be made proper and the stable read out is realized.



1: memory part, 4: comparator, 0: gate,  $V_i$ : read voltage,  $V_c$ : control voltage,  $V_{ios}$ : set voltage,  $V_{io}$ : output voltage.